



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10040213 A**

(43) Date of publication of application: 13 . 02 . 98

(51) Int. Cl.

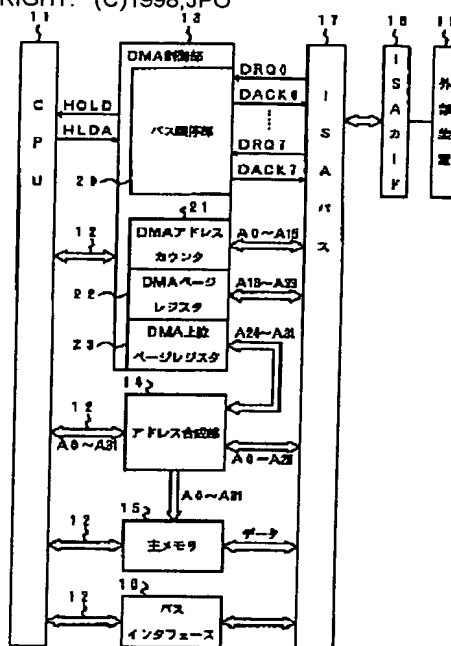
**G06F 13/28**(21) Application number: **08192070**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **22 . 07 . 96**(72) Inventor: **KAJIYA HIROKATSU**(54) **METHOD FOR TRANSFERRING DMA DATA OF INFORMATION PROCESSOR**

COPYRIGHT: (C)1998,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To enlarge address space possible to access in a main memory without reducing effective data transfer speed.

**SOLUTION:** An ISA card 18 is connected to a DMA control part 13 and a main memory 15 via an ISA bus 17 and data transfer between an external device 19 and the main memory 15 is executed via the DMA control part 13 which is controlled by the ISA card 18 in a DAM data transfer method. In the method, the ISA card 18 is provided with two sets of DMA requesting signals/DMA recognizing signals which are mutually independent, various kinds of operation conditions concerning DMA data transfer are set for the DMA control part 13 through the use of one set of the two sets of DMA requesting signals/DMA recognizing signals and a bus master signal for the ISA bus based on a data transfer request from CPU 11 and also DMA data is transferred in accordance with the operation conditions which are set through the use of the other set of DMA requesting/DMA recognizing signals.

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-40213

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.<sup>9</sup>

G 0 6 F 13/28

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 13/28

技術表示箇所

3 1 0 P

3 1 0 G

3 1 0 M

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平8-192070

(22) 出願日 平成8年(1996) 7月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 梶屋 博勝

東京都府中市東芝町1番地 株式会社東芝

府中工場内

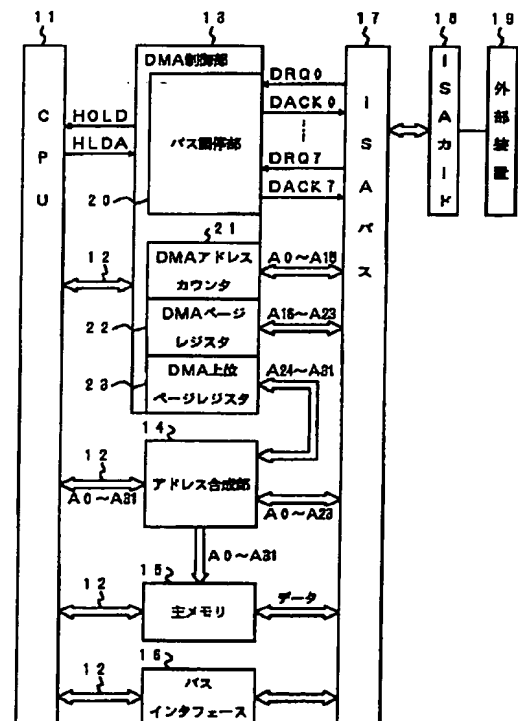
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 情報処理装置のDMAデータ転送方法

(57) 【要約】

【課題】 実効データ転送速度を低下することなく、主メモリにおけるアクセス可能なアドレス空間を拡大する。

【解決手段】 DMA制御部13、主メモリ15に対してISAバス17を介してISAカード18を接続し、外部装置19と主メモリ15との間のデータ転送をISAカード18にて制御されるDMA制御部13を介して行うDMAデータ転送方法において、ISAカードは、互いに独立した2組のDMA要求信号/DMA承認信号を有し、CPUからのデータ転送要求に基づいて、2組のうちの一組のDMA要求信号/DMA承認信号及びISAバスに対するバスマタ信号を用いて、DMA制御部に対してDMAデータ転送に関する各種動作条件を設定するとともに、他の一組のDMA要求/DMA承認信号を用いて設定された動作条件に従ってDMAデータ転送を実行する。



## 【特許請求の範囲】

【請求項1】 システムバスに対してCPU、DMA制御部、主メモリを接続し、さらに、前記DMA制御部及び主メモリに対してISAバスを介してISAカードを接続し、外部装置と前記主メモリとの間のデータ転送を前記ISAカードにて制御されるDMA制御部を介して行う情報処理装置のDMAデータ転送方法において、前記ISAカードは、  
2組のDMA要求信号/DMA承認信号を有し、  
前記CPUからのデータ転送要求に基づいて、前記2組のうちの一組のDMA要求信号/DMA承認信号及び前記ISAバスに対するバスマスタ信号を用いて、前記DMA制御部に対してDMAデータ転送に関する各種動作条件を設定するとともに、  
他の一組のDMA要求/DMA承認信号を用いて前記設定された動作条件に従って前記DMAデータ転送を実行することを特徴とする情報処理装置のDMAデータ転送方法。

【請求項2】 前記CPUからのデータ転送要求の示すデータ転送量が前記DMA制御部が指定可能アドレス値で定まる許容値を越える場合、前記主メモリに対するデータ転送量が前記許容値の近傍に設定された規定値に達したとき、データ転送を継続するために、前記ISAカードが前記DMA制御部に対してアドレス値を含む動作条件を再設定することを特徴とする請求項1記載の情報処理装置のDMAデータ転送方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、情報処理装置のDMAデータ転送方法に係わり、特に主メモリと外部装置との間のデータ転送をISAバス及びISAカードを用いて行う情報処理装置のDMAデータ転送方法に関する。

## 【0002】

【従来の技術】PC/AT互換アーキテクチャを採用した情報処理装置においても外部装置との間で大量のデータの授受を行う場合には、CPUの処理負担を軽減するためにDMA制御部を用いて、外部装置と情報処理装置の主メモリとの間で直接データ転送を実行するようにしている。

【0003】図3はPC/AT互換アーキテクチャを採用した情報処理装置の概略構成を示すブロック図である。システムバス1に対して、各種情報処理を行うCPU2、主メモリ3、DMA制御部4が接続されている。さらに、このシステムバス1はバスインタフェース5を介してISA (Industry Standard Architecture)バス6が接続されている。

【0004】このISAバス6に対してISAカード7を介して外部装置8が接続されている。また、このISAバス6にはDMA転送を実行するためにDMA制御部

4及び主メモリ3が接続されている。

【0005】このような構成の情報処理装置においてDMA制御部4及びISAバス6を用いて外部装置8と主メモリ3との間におけるDMAデータ転送を実施する方法として次の2つの方法が実施されている。

【0006】(a) CPU2がDMA制御部4を管理してDMA転送を実行する方法

(b) ISAカード7がバスマスタとなりDMA転送を実行する方法

次に(a)(b)の各方法を説明する。

【0007】図4は(a)のCPU2がDMA制御部4を管理してDMA転送を実行する場合のタイムチャートである。まず、CPU2はDMA制御部4に対して、書込か読出かの動作モード、DMAアドレスカウンタ等の設定を行う(1)。次に、CPU2はISAカード7に対して、READ動作、外部装置8内の転送すべきデータのデータ位置、データ総数を指定する。ISAカード7はCPU2からの指示に従って外部装置8から該当データを読み取る(2)。

【0008】以上の準備処理が終了すると、ISAカード7はDRQ (DMA要求信号)をDMA制御部4へ送出する(3)。DMA制御部4はDACK (DMA承認信号)を送出する(4)。その結果、ISAカード7に読込まれたデータのISAバス6を用いた主メモリ3に対するDMAデータ転送が開始される。

【0009】この場合、DMA制御部4自身がバスマスタ信号を送出して、ISAバス6の使用権を制御する(6)。そして、ISAカード7はAEN (アドレス・イネーブル)信号を送出して(5)、このAEN信号区間にISAバス6上に出力されたアドレス、データ、コマンドを有効として、主メモリ3へ書込まれる(7)。

【0010】そして、DMA制御部4に対する前述した動作モード、DMAアドレスカウンタ等の設定内容の変更が生じた場合は、CPU2がDMA制御部4に対して再設定を行う。その結果、この新規に設定された内容に基づいて前述した手順に従って、DMAデータ転送が再開する。

【0011】なお、図4のタイムチャートは外部装置8から主メモリ3に対するデータ転送を示す図出があるが、主メモリ3から外部装置8へデータ転送する場合においてもデータ転送方向が逆になるのみで基本的には同じである。

【0012】図5は(b)のISAカード7がバスマスタとなりDMA転送を実行する場合のタイムチャートである。まず、CPU2はDMA制御部4に対して、書込か読出かの動作モード、DMAアドレスカウンタ等の設定を行う(1)。次に、CPU2はISAカード7に対して、READ動作、外部装置8内の転送すべきデータのデータ位置、データ総数を指定する。ISAカード7はCPU2からの指示に従って外部装置8から該当データを読

取る(2)。

【0013】以上の準備処理が終了すると、ISAカード7はDRQ (DMA要求信号)をDMA制御部4へ送出する(3)。DMA制御部4はDACK (DMA承認信号)を送出する(4)。その結果、ISAカード7に読込まれたデータのISAバス6を用いた主メモリ3に対するDMAデータ転送が開始される。

【0014】この場合、ISAカード7がバスマスタ信号を送出して、ISAバス6の使用権を制御する(6)。そして、このバスマスタ信号区間にISAバス6上に出

【0015】

【発明が解決しようとする課題】しかしながら図4、図5に示す(a)(b)の各方法においても、まだ解消すべき次のような課題があった。すなわち、DMA制御部4内においては、DMAデータ転送を実行するために伝送されるデータを主メモリの各アドレス位置に順番に書込んだり、主メモリの各アドレス位置の各データを順番に読出すためのDMAアドレスカウンタが設けられている。このDMAアドレスカウンタの指定するアドレス領域にも一定の限界がある。例えば、DMAアドレスカウンタが16bit構成の場合は、一度にDMA転送できるデータ転送量は64KBである。したがって、この64KBを越えるデータを転送する場合は、DMA制御部4を再設定する必要がある。

【0016】また、ISAバス6のバス容量も制限があるので、例えば16MBの以上のアドレス空間を指定するためには何らかの対策が必要である。そこで、図4に示すCPU2がDMA制御部4を管理してDMA転送を実行する方法においては、CPU2がシステムバス1を介してDMA制御部4のDMA動作を管理しており、CPU2がDMA制御部4の設定内容を変更できるので、16MB以上の主メモリ3のアドレス空間にもアクセス可能である。

【0017】しかし、CPU2がその都度DMA制御部4に対するDMA動作の管理を行うとき例えば数10ms程度のオーバーヘッドが必要になる。その結果、情報処理装置全体としてのDMAデータ転送の実効データ伝送速度が低下する懸念がある。

【0018】また、図5に示すISAカード7がバスマスタとなりDMA転送を実行する方法においては、ISAカード7がISAバス6を介してDMA制御部4のDMA動作を管理しているので、CPU2が直接DMA制御部4を管理する場合に比較してオーバーヘッド時間を大幅に短縮できる。

【0019】しかし、ISAカード7がISAバス6を介してDMA制御部4を管理しているので、ISAバス6の容量で定まる例えば16MB以上の主メモリ3のアドレス空間をアクセスできない問題があった。

【0020】本発明はこのような事情に鑑みてなされたものであり、ISAカードが有する2組のDMA要求信号/DMA承認信号及びマスター信号を用いることによって、PC/AT互換機能を変更することなく、高い実効データ転送速度を維持した状態で、主メモリにおけるアクセス可能なアドレス空間を拡大できる情報処理装置のDMAデータ転送方法を提供することを目的とする。さらに、一度に転送できるデータ量を大幅に増大できる情報処理装置のDMAデータ転送方法を提供することを目的とする。

【0021】

【課題を解決するための手段】上記課題を解消するために本発明は、システムバスに対してCPU、DMA制御部、主メモリを接続し、さらに、DMA制御部及び主メモリに対してISAバスを介してISAカードを接続し、外部装置と主メモリとの間のデータ転送をISAカードにて制御されるDMA制御部を介して行う情報処理装置のDMAデータ転送方法において、ISAカードは、2組のDMA要求信号/DMA承認信号を有し、CPUからのデータ転送要求に基づいて、2組のうちの一組のDMA要求信号/DMA承認信号及びISAバスに対するバスマスタ信号を用いて、DMA制御部に対してDMAデータ転送に関する各種動作条件を設定するとともに、他の一組のDMA要求/DMA承認信号を用いて設定された動作条件に従ってDMAデータ転送を実行するようにしている。

【0022】また、別の発明は、上記発明の情報処理装置のDMAデータ転送方法において、CPUからのデータ転送要求の示すデータ転送量がDMA制御部が指定可能アドレス値で定まる許容値を越える場合、主メモリに対するデータ転送量が許容値の近傍に設定された規定値に達したとき、データ転送を継続するために、ISAカードがDMA制御部に対してアドレス値を含む動作条件を再設定するようにしている。

【0023】このように構成された情報処理装置のDMAデータ転送方法においては、2組のDMA要求信号/DMA承認信号とバスマスタ信号をDMA制御部に対する管理を実施しながら、DMAデータの転送を実効している、CPUはDMA制御部を管理する必要がなくなり、オーバーヘッドを無くすことができ、実効データ転送速度を上昇できる。また、バスマスタDMA動作を用いていないので、主メモリにおけるアクセス可能なアドレス空間を拡大できる。

【0024】さらに、別の発明においては、CPUからのデータ転送要求の示すデータ転送量がDMA制御部が指定可能アドレス値で定まる許容値を越える場合、ISAカードがDMA制御部の設定が可能であるので、再設定を行うことにより、実効データ転送速度を低下することなく、一度に大量のデータを転送できる。

【0025】

【発明の実施の形態】以下本発明の一実施形態を図面を用いて説明する。図1は実施形態のDMAデータ転送方法が採用された情報処理装置の概略構成を示すブロック図である。

【0026】この情報処理装置はPC/AT互換アーキテクチャが採用された計算機システムで構成されている。各種情報処理を実行するCPU11は、例えば32ビット構成のシステムバス12を介して、DMA制御部13、アドレス合成部14、主メモリ15に接続されている。さらに、このCPU11は、バスインタフェース16を介して、例えば24ビット構成のISAバス17に接続されている。

【0027】このISAバス17に対してISAカード18を介して外部装置19が接続されている。また、このISAバス17にはDMAデータ転送を実行するために前述したDMA制御部13、アドレス合成部14及び主メモリ15が接続されている。

【0028】CPU11はA0～A31の32ビットのアドレス空間を指定可能であり、主メモリ15の指定可能アドレス領域は32ビット、すなわち主メモリ15は2<sup>32</sup>個のデータを記憶可能である。

【0029】DMA制御部13内には、ISAバス17上に送出する各データの送出タイミングを調停するバス調停部20、転送データの主メモリ15に対する書込アドレスまたは主メモリ15からデータを読み出す場合の読出アドレスを指定するDMAアドレスカウンタ21、DMAページレジスタ22及びDMA上位ページレジスタ23が設けられている。

【0030】DMAアドレスカウンタ21は16ビット構成であり、クロックに同期して一つのデータが入力する毎に一つづつカウントアップしていくアドレスA0～A15をISAバス17上へ送出する。すなわち、このDMAアドレスカウンタ21で2<sup>16</sup>のアドレスを指定可能である。

【0031】また、DMAページレジスタ22は、CPU11又はISAカード18にて予め指定された8ビットのデータが記憶されており、この8ビットデータをISAバス17のアドレスA16～A23へ出力する。したがって、24ビット構成のISAバス17にてA0～A23のアドレスが指定される。

【0032】ISAバス18にDMAアドレスカウンタ21及びDMAページレジスタ22から出力されたA0～A23のアドレスはアドレス合成部14へ入力される。DMA上位ページレジスタ22は、主メモリ15の指定可能アドレス空間A0～A31のうちの上位アドレスA24～A31に対応する8ビットのデータを記憶する。

【0033】前述したように、ISAバス17は24ビット構成であるので、一つのDMAデータ転送動作期間中にA0～A31のアドレス空間を指定できない。した

がって、一つのDMAデータ転送動作の開始前に、このDMA上位ページレジスタ22に対して上位アドレスA24～A31に対応する8ビットのデータをCPU11又はISAカード18から設定しておけば、この一つのDMAデータ転送動作期間中に同一上位アドレスA24～A31がアドレス合成部14へ印加される。

【0034】アドレス合成部14は、ISAバス17からクロックに同期して下位16ビットA0～A15が順次変化するアドレスA0～A23とDMA上位ページレジスタ23から印加された固定の上位アドレスA24～A31とを合成して32ビットのアドレスA0～A31として主メモリ15へ印加する。

【0035】主メモリ15は、クロックに同期して順次ISAバス17のデータバス上に出力される各データを、アドレス合成部14が指定するアドレス位置に格納していく。

【0036】このように、DMAアドレスカウンタ21のカウント値が0から2<sup>16</sup>までカウントアップされる毎に、DMAデータ転送動作を一時中断して、カウント値を0に戻して、DMAページレジスタ22の値を1だけ増加する。そして、DMAデータ転送動作を再開する。

【0037】そして、DMAページレジスタ22の値を順次増加して、この値が上限に達すると、DMA上位ページレジスタ23の値を増加設定することによって、結果的に、主メモリ15内の全てのアドレス空間を指定して、DMAデータ転送が可能となる。

【0038】ISAカード18は図示するように、0～7までの8組のDMA要求信号(DRQ0～DRQ7)/DMA承認信号(DACK0～DACK7)を有している。そして、通常は、0, 1, 2, 3, 4, 7の6組のDMA要求信号/DMA承認信号を使用している。

【0039】そして、PC/AT互換機においては、残り2組のDMA要求信号(DRQ5, DRQ6)/DMA承認信号(DACK5, DACK6)は使用していない。そこで、この実施形態のISAカード18においては、この通常使用されていない2組のDRQ5/DACK5, DRQ6/DACK6を使用する。

【0040】図2は外部装置19のデータを主メモリ15へDMA制御部13を用いてデータ転送を実行する場合のタイムチャートである。まず、CPU11はDMA制御部13に対して、主メモリ15に対する書込か読出かの動作モード、DMAアドレスカウンタ21の初期設定、DMAページレジスタ22の開始アドレスA16～A23の設定、DMA上位ページレジスタ23の開始アドレスA24～A31の設定等を行う。すなわち、CPU11は、主メモリ15上におけるデータの書込み開始アドレスA0～A31を設定する(1)。

【0041】なお、このCPU11のDMA制御部13に対する各種設定は、一連のDMAデータ転送を実行する場合、最初に1回だけ実施するのみである。次に、C

PU11はISAカード18に対して、READ動作、外部装置19内の転送すべきデータのデータ位置、データ総数を指定する。ISAカード18はCPU11からの指示に従って外部装置19から該当データを読取る(2)。

【0042】以上の準備処理が終了すると、ISAカード18はDRQ5をDMA制御部13へ送出する(3)。DMA制御部13はDACK5を送出する(4)。その結果、ISAカード18に読込まれたデータのISAバス17を用いた主メモリ15に対するDMAデータ転送が開始される。

【0043】この場合、ISAカード18がISAバス17に対してバスマスタ信号を送出して、ISAカード18がDMA制御部13のDMA転送動作を管理する(8)。そして、ISAカード18が最初にCPU11から設定された転送すべきデータ量が、例えばDMAアドレスカウンタ21で設定される許容量を越えている場合等においては、DMAデータ転送を継続させるために、DMA制御部13のDMAアドレスカウンタ21、DMAページレジスタ22、DMA上位ページレジスタ23の設定内容を変更する必要があるが生じる。

【0044】この場合、ISAカード18はもう一組のDRQ6をDMA制御部13へ送出して(5)、DMA制御部13からDACK6を受領すると(6)、ISAカード18が、CPU11に代り、DMA制御部13のDMAアドレスカウンタ21、DMAページレジスタ22、DMA上位ページレジスタ23の設定内容を前述したように変更する。

【0045】そして、このDMA制御部13の新規の設定内容に基づいてISAカード18に読込まれたデータのISAバス17を用いた主メモリ15に対するDMAデータ転送が継続される。

【0046】この場合、ISAカード18に代り、DMA制御部13自身がISAバス17に対してバスマスタ信号を送出して、ISAバス17を制御する。DMA制御部13自身がISAバス17に対するバスマスタとなるので、前述した方法を用いてISAバス17のビット構成(24ビット)で制限される限界値である16MB以上の主メモリ15に対するアドレス空間をアクセス可能である。

【0047】なお、図2においては、外部装置19からデータを主メモリ15へDMA転送する手順について説明したが、主メモリ15から外部装置19へデータをDMA転送する場合は、データの流れが逆転するのみで、処理手順はほぼ同じである。

【0048】このように構成された情報処理装置のDMAデータ転送方法によれば、CPU11はDMAデータ転送を開始する前に、DMA制御部13のDMAアドレスカウンタ21、DMAページレジスタ22及びDMA上位ページレジスタ24を主メモリ15上における書込開始アドレスに対応する値に初期設定すると共に、IS

Aカード18に転送すべきデータ位置やデータ量を設定するのみである。

【0049】一旦初期設定すると、実際にDMA制御部13を管理してデータ転送を実行する期間は、CPU11はDMA制御部13におけるDMA転送動作を全く管理しないので、CPU11がDMA制御部13を管理する場合に発生するオーバーヘッドがなくなり、実効データ転送速度を図4に示す従来のデータ転送方法に比較して大幅に上昇できる。

10 【0050】ちなみに、CPU11がDMA制御部13を管理した場合のオーバーヘッドは数10msであるのに対して、同一条件でISAカード18がDMA制御部13を管理した場合のオーバーヘッドは10μsとなり、格段に処理速度が上昇することが実証できた。

20 【0051】さらに、DMA制御部13のDMAアドレスカウンタ21で設定可能なアドレス数を越えるデータを一度にDMA転送を実施する場合は、最初にCPU11が設定したDMA制御部13のDMAアドレスカウンタ21やDMAページレジスタ22やDMA上位ページレジスタ22の値を設定し直す必要がある。このDMA制御部13に対する再設定処理は、従来CPUが実施していたが、実施形態においては、ISAカード18が実施している。

30 【0052】したがって、この場合においては、CPU11はDMA制御部13に対する再設定処理に全く関与しないので、高い実効データ転送速度を維持した状態で、1回のDMAデータ転送で大量のデータを転送できる。また、DMA制御部13自身がISAバス17に対するバスマスタとなるので、16MB以上の主メモリに対するアドレス空間を指定できる。

【0053】

【発明の効果】以上説明したように、本発明の情報処理装置のDMAデータ転送方法によれば、ISAカードが有する2組のDMA要求信号/DMA承認信号とバスマスタ信号を用いて、DMA制御部に対するDMA動作管理を実施しながら、DMAデータの転送を実行している。

40 【0054】したがって、PC/AT互換機能を変更することなく、高い実効データ転送速度を維持した状態で、主メモリ上におけるアクセス可能なアドレス空間を拡大できる。

【0055】さらに、CPUからのデータ転送要求の示すデータ転送量がDMA制御部が指定可能アドレス値で定まる許容値を越える場合、ISAカードによるDMA制御部に対する再設定を可能としている。よって、CPUの代りにISAカードが再設定を行うことにより、実効データ転送速度を低下することなく、一度に大量のデータを転送できる。

【図面の簡単な説明】

50 【図1】 本発明の一実施形態のDMAデータ転送方法

(6)

特開平10-40213

9

10

を採用した情報処理装置の概略構成を示すブロック図

【図2】 同DMAデータ転送方法を示すタイムチャート

【図3】 従来のDMAデータ転送方法を採用した情報処理装置の概略構成を示すブロック図

【図4】 同従来のDMAデータ転送方法を示すタイムチャート

【図5】 同じく同従来のDMAデータ転送方法を示すタイムチャート

【符号の説明】

11…CPU

12…システムバス

13…DMA制御部

14…アドレス合成部

15…主メモリ

16…バスインタフェース

17…ISAバス

18…ISAカード

19…外部装置

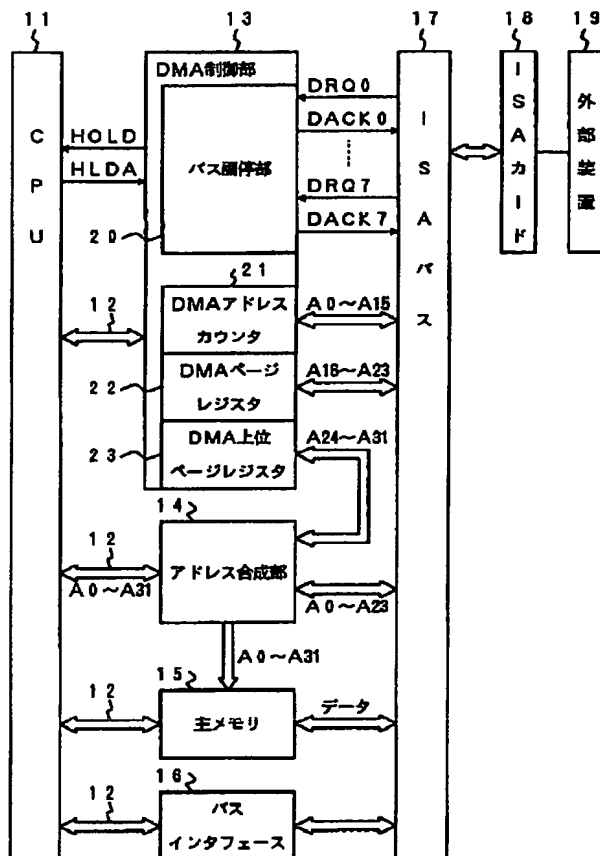
20…バス調停部

21…DMAアドレスカウンタ

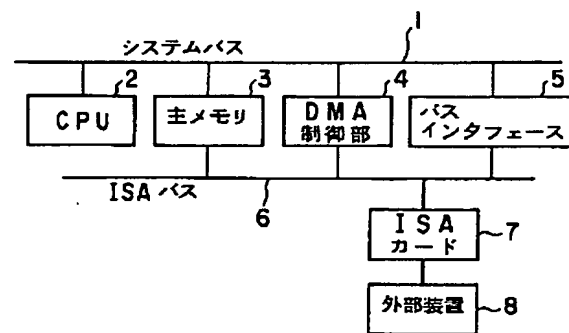
10 22…DMAページレジスタ

23…DMA上位ページレジスタ

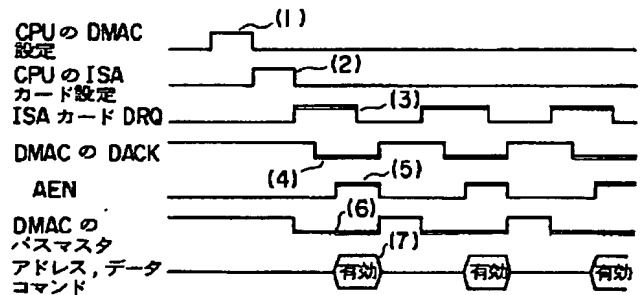
【図1】



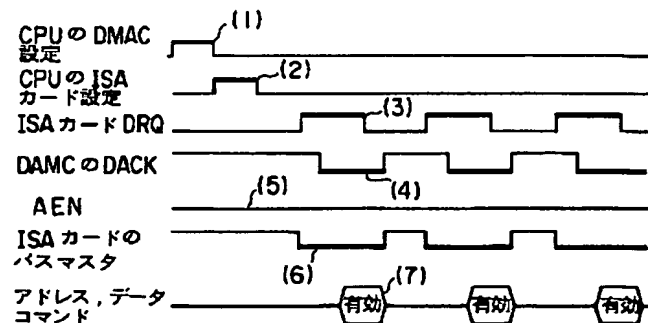
【図3】



【図4】



【図5】



【図2】

